

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Amane OISHI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MOS SEMICONDUCTOR DEVICE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-154246	May 30, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

**C. Irvin McClelland**  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

03S0253

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 5月30日

出願番号

Application Number: 特願2003-154246

[ST.10/C]:

[JP2003-154246]

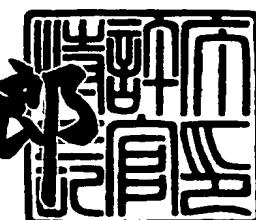
出願人

Applicant(s): 株式会社東芝

2003年 6月16日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一



出証番号 出証特2003-3046876

【書類名】 特許願  
【整理番号】 A000300799  
【提出日】 平成15年 5月30日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 29/80  
【発明の名称】 半導体装置  
【請求項の数】 14  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内  
【氏名】 大石 周  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181  
【選任した代理人】  
【識別番号】 100091351  
【弁理士】  
【氏名又は名称】 河野 哲  
【選任した代理人】  
【識別番号】 100088683  
【弁理士】  
【氏名又は名称】 中村 誠  
【選任した代理人】  
【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

## 【特許請求の範囲】

【請求項1】 半導体基板上で素子分離領域により分離されたMOSFETのアクティブ領域と、

前記アクティブ領域上を通過するように設けられた1本のゲート電極と、

前記ゲート電極の両側で前記アクティブ領域の表面にコンタクトするように形成されたソースコンタクトおよびドレインコンタクトとを具備し、

前記ゲート電極は、前記ソースコンタクトおよび／またはドレインコンタクトの位置からゲート電極に沿って離れるにつれてゲート長が細くなるように段階的もしくは連続的に形成されていることを特徴とする半導体装置。

【請求項2】 前記ゲート電極は前記アクティブ領域内に1つだけあり、かつ、前記ソースコンタクトおよびドレインコンタクトは前記ゲート電極の両側で前記アクティブ領域の対角位置に配置されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記MOSFETは、CMOSインバータを構成するPMOSFET,NMOSFETのうちの一方のMOSFETであることを特徴とする請求項2記載半導体装置。

【請求項4】 前記ゲート電極は前記アクティブ領域内に1つだけあり、かつ、前記ソースコンタクトおよびドレインコンタクトはチャネル幅方向に対して同じ一端側に配置されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記ゲート電極の平面パターンは、ゲート長が左右対称の形状で変化していることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項6】 前記ゲート電極の平面パターンは、ゲート長が左右非対称の形状で変化していることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項7】 前記ゲート電極の両側の前記アクティブ領域の表面は、シリサイド層が形成されており、前記ソースコンタクトおよびドレインコンタクトは前記シリサイド層にコンタクトしていることを特徴とする請求項1乃至6のいず

れか1項に記載の半導体装置。

【請求項8】 半導体基板上で素子分離領域により分離され、複数のMOSFETが直列接続された状態で並べられたアクティブ領域と、

前記アクティブ領域上を通過するように並設された複数本のゲート電極と、

前記複数本のゲート電極の両側に配置されて前記アクティブ領域の表面にコンタクトするように形成されたソースコンタクトおよびドレインコンタクトとを具備し、

前記ソースコンタクトまたはドレインコンタクトに最も近接したゲート電極は、前記ソースコンタクトまたはドレインコンタクトの位置からゲート電極に沿って離れるにつれてゲート長が細くなるように段階的もしくは連続的に形成されていることを特徴とする半導体装置。

【請求項9】 前記複数本のゲート電極のうちの中間のゲート電極に対応する中間のMOSFETのソース領域またはドレイン領域にコンタクトするように形成された中間のソースコンタクトおよびドレインコンタクトをさらに具備し、

前記中間のソースコンタクトまたはドレインコンタクトに最も近接したゲート電極は、前記中間のソースコンタクトまたはドレインコンタクトの位置からゲート電極に沿って離れるにつれてゲート長が細くなるように段階的もしくは連続的に形成されていることを特徴とする半導体装置。

【請求項10】 前記複数のMOSFETは、NAND型フラッシュメモリにおけるNAND型メモリユニットを構成することを特徴とする請求項8または9記載半導体装置。

【請求項11】 前記複数本のゲート電極の両側に配置された前記ソースコンタクトおよびドレインコンタクトは、前記アクティブ領域の対角位置に配置されている配置されていることを特徴とする請求項8記載の半導体装置。

【請求項12】 前記複数本のゲート電極の両側に配置された前記ソースコンタクトおよびドレインコンタクトは、チャネル幅方向に対して同じ一端側に配置されていることを特徴とする請求項8記載の半導体装置。

【請求項13】 前記ゲート電極の平面パターンは、ゲート長が左右対称の形状で変化していることを特徴とする請求項8乃至12のいずれか1項に記載の

半導体装置。

【請求項14】 前記ゲート電極の平面パターンは、ゲート長が左右非対称の形状で変化していることを特徴とする請求項8乃至12のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に絶縁ゲート型電界効果トランジスタ(MOSFET)のゲート電極の構造に関するもので、例えば相補性の半導体集積回路(CMOSLSI)に使用される。

【0002】

【従来の技術】

CMOSLSIの素子が微細化されるにつれて、MOSFETの形成領域であるアクティブ領域(AA)が微細化され、アクティブ領域による寄生抵抗の影響が無視できなくなっている。これについて以下に説明する。

【0003】

図12は、LSIに形成されたCMOSインバータの平面パターンの従来例を示している。

【0004】

図12において、120は半導体基板上に形成された例えばシャロウトレチ型の素子分離(STI)領域、121はSTI領域により囲まれたPMOSFETのアクティブ領域、122はSTI領域により囲まれたNMOSFETのアクティブ領域、123はアクティブ領域のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極であり、アクティブ領域の中央部上を通過している。アクティブ領域121,122のドレイン・ソース領域用の拡散層の表面およびゲート電極の表面は、メタルシリサイドが形成される場合が多い。

【0005】

各アクティブ領域121,122において、1本の対角線上でゲート電極123の両側のメタルシリサイド上のコーナー近傍にはドレインコンタクト領域・ソースコン

タクト領域用のコンタクト（コーナーコンタクト）124 が形成されている。

#### 【0006】

図13は、図12に示したCMOSインバータを構成するMOSFETの構造の一例を示す断面図である。

#### 【0007】

図13中、130 は半導体基板、131 はソース・ドレイン領域、132 はエクステンション領域、133 はチャネル領域、134 はゲート絶縁膜、135はゲート電極、136 はゲート側壁絶縁膜、137 はドレインコンタクト（プラグ）、138 はソースコンタクトである。

#### 【0008】

上記各領域およびドレインコンタクト領域、ソースコンタクト領域、ソース・ドレイン領域と半導体基板との接合領域にはそれぞれ寄生抵抗が存在する。

#### 【0009】

図14は、図12に示したCMOSインバータのうちの一方のMOSFETを取り出してソース・ドレイン領域131 を流れる電流経路の一部を示している。

#### 【0010】

CMOSFET が微細化されるにつれて、図14中に示すように、STI とゲート電極123 との間の距離A も微細化される。特にコーナーコンタクト124a,124bを有するMOSFETの場合には、距離A の微細化は、ドレイン領域上のシリサイドのゲート電極方向の抵抗R1およびソース領域上のシリサイドのゲート電極方向の抵抗を上昇させてるので、大きな寄生抵抗が付加されることになる。この寄生抵抗によるMOSFETの駆動力の劣化のメカニズムは、以下に述べるような2つに分類される。

#### 【0011】

(1) MOSFETのドレイン電位がMOSFETの動作電源電圧Vdd よりも下がることにより、そのソース、ドレイン間に実効的に印加される電圧がドレインコンタクト124aから離れた場所ほど低下する。このため、ゲート電極123 の長さ方向に沿う方向の位置x がドレインコンタクト124aから離れるほどゲート電極123 に垂直方向の断面部分の実効的ドレイン電圧が低下する効果に加えてそれによりDIBL(Drain Induced Barrier Lowering)が過度に小さくなるので、駆動力が劣化する。

## 【0012】

(2) MOSFETのソース電位が0Vよりも上がることにより、そのソース、ドレン間に実効的に印加される電圧がソースコンタクト124bから離れた場所ほど低下する。このため、ゲート電極123 の長さ方向における位置x がソースコンタクト124bから離れるほどゲート電極123 に垂直方向の断面部分の実効的ドレイン電圧が低下する効果に加えて、DIBLが過度に小さくなるので、駆動力が低下する。この場合、ソースコンタクト124bから離れるにつれてウェル領域(Well)の電位がソース電位よりも相対的に低下するので、ソースコンタクト124bから離れるにつれて基板バイアス効果による駆動力の劣化も付加され、前記(1)の場合よりも劣化量が大きくなる。この様子を図15に示している。

## 【0013】

図15は、図14に示したMOSFETがソースコンタクト124bの位置を基準とするゲート電極123 の長さ方向における位置x までの距離に応じて駆動力が劣化する様子を示している。ここでは、ドレイン・ソース拡散層上にシリサイド(Silicid e)抵抗が有る場合と無い場合を対比して示している。

## 【0014】

なお、特許文献1には、MOS型トランジスタにおいて、ゲートの少なくともドレインに対向する部分の端部を曲面または傾斜とした構成が開示されているが、ゲート長とコンタクト位置との関係は規定されていない。

## 【0015】

## 【特許文献1】

特開平7-131013号公報

## 【0016】

## 【発明が解決しようとする課題】

上記したように従来の半導体装置は、MOSFET素子の微細化に伴い、アクティブ領域のドレイン・ソース拡散層上のシリサイドの抵抗の影響が大きくなり、寄生抵抗の増大に起因するMOSFETの駆動力の劣化に伴う回路動作スピードの劣化が問題となりつつある。特にコーナーコンタクトを用いる場合は、寄生抵抗に占めるシリサイド抵抗の割合が大きくなるので、その影響は深刻になるという問題があ

った。上記したようなMOSFETの微細化に伴う寄生抵抗の増大の現象は不可避であり、今後の微細化による回路の動作スピードの利点を見出すことが難しくなることは必至である。

## 【0017】

本発明は上記の問題点を解決すべくなされたもので、MOSFETのアクティブ領域のドレイン・ソース拡散層の寄生抵抗に起因するMOSFETの駆動力の劣化を改善し得る半導体装置を提供することを目的とする。

## 【0018】

## 【課題を解決するための手段】

本発明の半導体装置の第1の態様は、半導体基板上で素子分離領域により分離されたMOSFETのアクティブ領域と、前記アクティブ領域上を通過するように設けられた1本のゲート電極と、前記ゲート電極の両側で前記アクティブ領域の表面にコンタクトするように形成されたソースコンタクトおよびドレインコンタクトとを具備し、前記ゲート電極は、前記ソースコンタクトおよび／またはドレインコンタクトの位置からゲート電極に沿って離れるにつれてゲート長が細くなるように段階的もしくは連続的に形成されていることを特徴とする。

## 【0019】

本発明の半導体装置の第2の態様は、半導体基板上で素子分離領域により分離され、複数のMOSFETが直列接続された状態で並べられたアクティブ領域と、前記アクティブ領域上を通過するように並設された複数本のゲート電極と、前記複数本のゲート電極の両側に配置されて前記アクティブ領域の表面にコンタクトするように形成されたソースコンタクトおよびドレインコンタクトとを具備し、前記ソースコンタクトまたはドレインコンタクトに最も近接したゲート電極は、前記ソースコンタクトまたはドレインコンタクトの位置からゲート電極に沿って離れるにつれてゲート長が細くなるように段階的もしくは連続的に形成されていることを特徴とする。

## 【0020】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

## 【0021】

## &lt;第1の実施形態&gt;

図1は、本発明の半導体装置の第1の実施形態に係るCMOSインバータを構成するPMOSFET,NMOSFET のうちの一方のMOSFETに着目して平面パターンの一例を示している。

## 【0022】

図1において、1 は半導体基板上で素子分離領域により分離されたMOSFETのアクティブ領域、2 はアクティブ領域上を通過するように形成されたゲート電極、3 および4 はゲート電極の両側でアクティブ領域1 の表面にコンタクトするようにならって形成されたソースコンタクトおよびドレインコンタクトである。

## 【0023】

上記したように1つのアクティブ領域1 内にゲート電極2 が1つしかなく、かつ、ソースコンタクト3 とドレインコンタクト4 がアクティブ領域1 の対角位置に1個づつ配置される場合、ゲート電極2 の平面パターンは、ソースコンタクト3 の位置からゲート電極2 の長さ方向（MOSFETのチャネル幅方向）に沿って離れるにつれてゲート長（ゲート電極2 の幅、MOSFETのチャネル長）が細くなるようにならって形成されている。本例では、ゲート電極2 の平面パターンは、左右対称の形状で複数段階（例えば3段階）に変化している。

## 【0024】

このような構成により、例えばCMOSインバータのようにアクティブ領域内にゲート電極が1つだけあるMOSFETにおいて、ゲート電極2 に垂直方向の断面におけるMOSFET動作に対してDIBLを調節し、ゲートの方向に対してどの位置でもDIBLが同程度となるようにすることができる。つまり、ドレインコンタクト4 の近傍でのゲート電極2 に垂直方向（図1中Y）の断面におけるMOSFET動作を、ソースコンタクト3 の近傍でのゲート電極2 に垂直方向（図1中X）の断面におけるMOSFET動作と同程度以上のDIBLとなるように調整することができる。

## 【0025】

したがって、ゲート電極2 に沿う任意の位置x でゲート電極2 の垂直方向の断面におけるMOSFET動作に対してDIBLを調節することができ、MOSFETの駆動力の劣

化を抑制することができ、微細化に伴って増大するアクティブ領域1のシリサイド抵抗による駆動力の損失の一部を補償することができる。

## 【0026】

なお、図1に示したゲート電極2の平面パターンは、前記したような3段階に限らず、図2に示すように4段階以上に変化してもよく、あるいは、2段階に変化してもよく、あるいは、図2中に点線で示すように次第に細くなるように連続的に変化してもよく、それぞれ前記したような効果が得られる。また、ゲート電極2の平面パターンは、前記したようなゲート長が左右対称に限らず、例えば図3に示すようにゲート長が左右非対称の形状で複数段階に変化していても前記したような効果が得られる。

## 【0027】

## &lt;第2の実施形態&gt;

前記第1の実施形態では、ゲート電極2の位置がソースコンタクト3の位置から離れるにつれてゲート長が細くなるように形成されているが、回路動作上、ドレイン側の抵抗の影響を低減することが望まれる場合は、図1におけるソースコンタクト3、ドレインコンタクト4の位置関係を逆にしてもよい。

## 【0028】

即ち、図1に示したように、1つのアクティブ領域1内にゲート電極2が1つしかなく、かつ、ソースコンタクト3とドレインコンタクト4が対角位置に配置される場合、ゲート電極2の位置がドレインコンタクト4の位置から離れるにつれてゲート長が細くなるように、例えば左右対称の形状で複数段階に変化するように形成してもよい。

## 【0029】

このような構成により、例えばCMOSインバータのようにアクティブ領域内にゲート電極が1つだけあるMOSFETにおいて、ドレイン側の寄生抵抗の増大を抑制したい場合に、ゲート電極に垂直方向の断面におけるMOSFET動作に対してDIBLを調節し、ゲートの方向に対してどの位置でもDIBLが同程度となるようにすることができる。つまり、ゲート電極に沿う任意の位置でゲート電極の垂直方向の断面におけるMOSFET動作に対してDIBLを調節することができ、MOSFETの駆動力の劣化を

抑制することができ、微細化に伴って増大するアクティブ領域のシリサイド抵抗による駆動力の損失の一部を補償することができる。

## 【0030】

なお、図3に示したMOSFETにおいても、前述した第1の実施形態の変形例と同様に、ゲート電極は任意の複数段階あるいは連続的に形成されてもよく、左右対称、左右非対称のいずれであってもよく、それぞれ前記したような効果が得られる。

## 【0031】

## &lt;第3の実施形態&gt;

図4は、本発明の半導体装置の第3の実施形態に係るCMOSインバータを構成するPMOSFET,NMOSFET のうちの一方のMOSFETに着目して平面パターンの一例を示している。

## 【0032】

図4中、1はSTI領域に囲まれたアクティブ領域、2はアクティブ領域上のゲート電極、3はソースコンタクト、4はドレインコンタクトである。

## 【0033】

このMOSFETは、1つのアクティブ領域1内にゲート電極2が1つしかなく、かつ、ソースコンタクト3とドレインコンタクト4がゲート電極2の長さ方向(MOSFETのチャネル幅方向)において同じ一端側に配置される場合に、ゲート電極2がソースコンタクト位置およびドレインコンタクト位置から離れるにつれてゲート長が細くなるように、例えば左右対称の形状で3段階で形成されている。

## 【0034】

このような構成により、例えばCMOSインバータのようにアクティブ領域内にゲート電極が1つだけあるMOSFETにおいて、ソースコンタクト3とドレインコンタクト4がチャネル幅方向においてアクティブ領域1内の同じ一端側に配置される場合、ゲート電極3に垂直方向の断面におけるMOSFET動作に対してDIBLを調節し、ゲートの方向に対してどの位置でもDIBLが同程度となるようにすることができる。つまり、ゲート電極2に沿う任意の位置でゲート電極2の垂直方向の断面におけるMOSFET動作に対してDIBLを調節することができ、MOSFETの駆動力の劣化を

抑制することができる。したがって、微細化に伴って増大するアクティブ領域1のシリサイド抵抗による駆動力の損失の一部を補償することができる。

## 【0035】

なお、ソースコンタクト3とドレインコンタクト4がゲート電極2の左右の対称的な位置に配置される場合、例えばソースコンタクト3とドレインコンタクト4がゲート電極2の長さ方向においてアクティブ領域1内の中央部に配置される場合でも、上記した第2の実施形態に準じて実施し、同様の効果を得ることができる。

## 【0036】

また、図4に示したMOSFETにおいても、前述した第1の実施形態の変形例と同様に、ゲート電極は任意の複数段階あるいは連続的に形成されてもよく、左右対称、左右非対称のいずれであってもよく、それぞれ前記したような効果が得られる。

## 【0037】

## &lt;第4の実施形態&gt;

図5は、本発明の半導体装置の第4の実施形態に係る複数のMOSFETが直列接続された状態で並べられた（縦積みされた）MOSFET回路領域であって、ソースコンタクト3とドレインコンタクト4が対角位置に1個づつ配置され、かつ、中間のMOSFETのソース領域またはドレイン領域からの引出し配線がない場合について平面パターンの一例を示している。

## 【0038】

図5中、1はSTI領域に囲まれたアクティブ領域、2はアクティブ領域上のゲート電極、3はソースコンタクト、4はドレインコンタクトである。

## 【0039】

このMOSFET回路領域のMOSFET群は、複数のゲート電極2のうちでソースコンタクト3に最も近接したゲート電極2は、ソースコンタクト3から遠去かるにつれてゲート長が短くなるように形成されており、また、ドレインコンタクト4に最も近接したゲート電極2は、ドレインコンタクト4から遠去かるにつれてゲート長が短くなるように形成されている。

## 【0040】

このような構成により、例えばNAND型フラッシュメモリにおけるNAND型メモリユニットのように複数のMOSFETが直列接続されている場合に、ゲート電極2の長さ方向に沿う任意の位置でゲート電極2の垂直方向の断面におけるMOSFET動作に対してDIBLを調節することができる。

## 【0041】

つまり、ソースコンタクト3に最も近接したゲート電極2は、ソースコンタクト3から遠い位置での垂直方向の断面におけるMOSFET動作が、ソースコンタクト3の近傍位置での垂直方向の断面における動作と同程度のDIBLとなるように調整することができる。上記と同様に、ドレインコンタクト4に最も近接したゲート電極2は、ドレインコンタクト4から遠い位置での垂直方向の断面におけるMOSFET動作が、ドレインコンタクト4の近傍位置での垂直方向の断面における動作と同程度のDIBLとなるように調整することができる。

## 【0042】

したがって、MOSFETの駆動力の劣化を抑制することができ、微細化に伴って増大するアクティブ領域1のシリサイド抵抗による駆動力損失の一部を補償することができる。

## 【0043】

## &lt;第4の実施形態の変形例&gt;

図6は、本発明の半導体装置の変形例に係る複数のMOSFETが直列接続されたMOSFET回路領域であって、ソースコンタクト3とドレインコンタクト4がチャネル幅方向の同じ一端側に1個づつ配置され、かつ、中間のMOSFETのソース領域またはドレイン領域からの引出し配線がない場合について、平面パターンの一例を示している。

## 【0044】

図6中、1はSTI領域に囲まれたアクティブ領域、2はアクティブ領域上のゲート電極、3はソースコンタクト、4はドレインコンタクトである。

## 【0045】

このMOSFET回路領域のMOSFET群は、複数のゲート電極2のうちでソースコンタ

クトまたはドレインコンタクトに最も近接したゲート電極は、ソースコンタクトまたはドレインコンタクトから遠い位置での垂直方向の断面におけるMOSFET動作が、ソースコンタクトまたはドレインコンタクトの近傍位置での垂直方向の断面における動作と同程度のDIBLとなるように調整することができ、MOSFETの駆動力の劣化を抑制することができる。

## 【0046】

なお、図5あるいは図6に示したMOSFET回路領域においても、前述した第1の実施形態の変形例と同様に、ゲート電極は任意の複数段階あるいは連続的に形成されてもよく、左右対称、左右非対称のいずれであってもよく、それぞれ前記したような効果が得られる。

## 【0047】

## &lt;第5の実施形態&gt;

図7は、本発明の半導体装置の第5の実施形態に係る複数のMOSFETが直列接続されたMOSFET回路領域において中間のMOSFETのソース領域またはドレイン領域からの引出し配線（コンタクト）がある場合の平面パターンの一例を示している。

## 【0048】

図7中、1はSTI領域に囲まれたアクティブ領域、2はアクティブ領域上のゲート電極、3はソースコンタクト、4はドレインコンタクトである。

## 【0049】

このMOSFET回路領域のMOSFET群は、ソースコンタクト3に最も近接したゲート電極2は、ソースコンタクト3から遠去かるにつれてゲート長が短くなるように形成されている。また、ドレインコンタクト4に最も近接したゲート電極2は、ドレインコンタクトから遠去かるにつれてゲート長が短くなるように形成されている。さらに、引出しコンタクト5に最も近接したゲート電極（本例では1本）2は、引出しコンタクト5から遠去かるにつれてゲート長が短くなるように形成されている。

## 【0050】

このような構成により、例えばNAND型フラッシュメモリにおけるNAND型メモリユニットのように複数のMOSFETが直列接続され、かつ、中間のMOSFETのソース領

域またはドレイン領域からの引出しコンタクト5がある場合に、ソースコンタクト3またはドレインコンタクト4または引出しコンタクト5に最も近接したゲート電極2は、ソースコンタクト3またはドレインコンタクト4または引出しコンタクトから遠い位置での垂直方向の断面におけるMOSFET動作が、ソースコンタクト3またはドレインコンタクト4または引出しコンタクト5の近傍位置での垂直方向の断面における動作と同程度のDIBLとなるように調整することができ、MOSFETの駆動力の劣化を抑制することができる。

#### 【0051】

また、このMOSFET回路領域においても、前述した第1の実施形態の変形例と同様に、ゲート電極は任意の複数段階あるいは連続的に形成されてもよく、左右対称、左右非対称のいずれであってもよく、それぞれ前記したような効果が得られる。

#### 【0052】

次に、前記各実施形態において、コンタクト位置からのゲート電極までの距離に応じてゲート長を決める計算方法について説明する。ここでは、図1に示した第1の実施形態を例にとり、計算を簡単にするために、MOSFETの3極管領域の駆動力を改善する場合について示す。

#### 【0053】

図8は、図1に示したMOSFETにおいてゲート電極の位置xを流れる電流経路および寄生抵抗を説明するために示す平面図である。

#### 【0054】

図8に示すように、アクティブ領域1内においてMOSFETのゲート電極2のチャネル幅方向における起点位置を0、終点位置をW、ゲート電極上の位置xからソースコンタクト3までの寄生抵抗をRS、ゲート電極上の位置xからドレインコンタクト4までの寄生抵抗をRD、ゲート電極上の位置xを流れる単位長さ当たりの電流をI(x)で表わすと、MOSFETのオン電流Ionとオフ電流loffは次式のように示される。

#### 【0055】

【数 1】

[0056]

## 【数2】

$$I_{on}(x) = \mu_{eff} C_{ox} \frac{W}{L_{gate}(x)} (V_g - V_t(x)) V_{SD}(x) \quad \dots \dots \dots (2)$$

[0057]

### 【数3】

$$I_{off}(x) = \mu_{eff} \frac{W}{L_{gate}(x)} \sqrt{\frac{\epsilon_{Si} q N_a}{4\psi_B}} \left( \frac{kT}{q} \right)^2 e^{-\frac{2.3V_t(x)}{S}} (1 - e^{-\frac{qV_{SD}(x)}{kT}}) \quad \dots (3)$$

【0058】

但し、 $L_{gate}(x)$ は、ゲート電極上の位置Xでのゲート長を表わす。

[0059]

ここで、ゲート電極に沿った全領域で  $I_{off}$  の電流密度が同じとなるためには、 $L_{gate}(x)$  は次式を満たす必要がある

【数4】

$$L_{gate}(x) = \frac{e^{-\frac{2.3V_i(x)}{s}(1 - e^{-\frac{qV_{SD}(x)}{kT}})}}{e^{-\frac{2.3V_i^0}{s}(1 - e^{-\frac{qV_{SD}^0}{kT}})}} L_{gate}^0 \quad \dots \dots \dots (4)$$

[0060]

但し、 $V_t^0$ 、 $V_{SD}^0$  はある定数である。また、 $V_{SD}(x)$  はゲート電極上の位置  $x$  でのソース・ドレイン電圧であり、次式で示される。

[0061]

【数5】

$$V_{SD}(x) = \frac{V_{DD}}{1 + \frac{\mu_{eff} C_{ox} W (V_g - V_t(x)) (R_D(x) + R_S(x))}{L_{gate}(x)}} \quad \dots \dots \dots (5)$$

【0062】

但し、 $R_D(x)$  はゲート電極上の位置 $x$  でのドレイン側寄生抵抗、 $R_S(x)$  はゲート電極上の位置 $x$  でのソース側寄生抵抗である。

【0063】

与えられた  $V_t$ 、 $R_D(x)$ 、 $R_S(x)$  に対して前式(4)と(5)を同時に満足する  $L_{gate}(x)$  を適用することによって、ゲート電極に沿った全ての位置 $x$ において  $I_{off}$  の電流密度をある値以下にするために必要なゲート長のみを確保することができるので、結果として MOSFET の駆動力を向上させることができる。

【0064】

実際の計算例として、 $\mu_{eff}=200\text{cm}^2/\text{Vs}$ 、 $W=0.7\mu\text{m}$ 、 $S=80\text{mV/dec.}$ 、 $V_{dd}=1.2\text{V}$ 、 $C_{ox}=2.03e-2\text{F/m}^2$ 、 $R_D=R_S=20\Omega$ 、 $V_t(x)=0.3+5e^{-4x}$  ( $x$ : ゲートに沿ったソースコンタクト3からの距離) の場合について示す。

【0065】

図9は、図1のMOSFETのゲート電極に沿ったソースコンタクトからの距離 $x$ に応じてゲート長  $L_{gate}$  を前式(4)と(5)が同時に成立するように決めた場合について、距離 $x$  とゲート長  $L_{gate}$  の関係(ゲート長分布)を示している。

【0066】

この図9は、MOSFETの駆動力を向上させるためには、ゲート電極2がソースコンタクト3から遠ざかるにつれてゲート長  $L_{gate}$  を細くするべきであるということを示している。

【0067】

図10は、図9に示すように距離 $x$  とゲート長  $L_{gate}$  の関係を決めた MOSFETについて、距離 $x$  と  $I_{on}$  の関係(駆動電流密度分布)を示す特性図である。なお、対比のために従来例の MOSFET における距離 $x$  と  $I_{on}$  の関係も示している。

## 【0068】

この図10は、本実施形態のMOSFETによれば、ソースコンタクト3から遠い領域での電流密度を増大させることができることを示している。

## 【0069】

図11は、図9に示すように距離xとゲート長Lgateの関係を決めたMOSFETと従来例のMOSFETについて、スタンバイ電流を一定に保った場合のオン電流Ionの大きさを対比して示す特性図である。

## 【0070】

この図11は、本実施形態のMOSFETによれば、従来例のMOSFETと比べて、スタンバイ電流を一定に保ちながらオン電流Ionを大きくする( $I_{on}/I_{off}$ を大きくする)ことができることを示している。

## 【0071】

なお、前記計算は、解析を簡単にするために、式(2)～(5)に示された関係が成立すると仮定したが、実情に合わせて式(2)～(5)を定義することは可能である。また、図10に示したゲート長Lgateの分布を、ゲート長に対する2段階あるいはそれ以上の段階の形状で近似することも可能である。

## 【0072】

なお、上記各実施形態では、MOSFETのアクティブ領域のドレイン・ソース拡散層の表面にシリサイド層が形成されている場合を示したが、前記シリサイド層が形成されていない場合にも本発明を適用することによって前述したような効果が得られる。

## 【0073】

## 【発明の効果】

上述したように本発明の半導体装置によれば、MOSFETのアクティブ領域のドレイン・ソース拡散層の寄生抵抗に起因するMOSFETの駆動力の劣化を改善することができる。

## 【図面の簡単な説明】

【図1】 本発明の半導体装置の第1の実施形態に係るCMOSインバータを構成するMOSFETの平面パターンの一例を示す図。

【図2】 図1の変形例1を示す平面図。

【図3】 図1の変形例2を示す平面図。

【図4】 第2の実施形態に係るCMOSインバータの一方のMOSFETの平面パターンの一例を示す図。

【図5】 第3の実施形態に係るCMOSインバータの一方のMOSFETの平面パターンの一例を示す図。

【図6】 第4の実施形態に係る複数のMOSFETが直列接続された状態で並べられたMOSFET回路領域の平面パターンの一例を示す図。

【図7】 第5の実施形態に係る複数のMOSFETが直列接続された状態で並べられたMOSFET回路領域の平面パターンの他の例を示す図。

【図8】 図1に示したMOSFETにおいてゲート電極を流れる電流経路および寄生抵抗を説明するために示す平面図。

【図9】 図1のMOSFETにおいてゲート電極に沿ったソースコンタクトからの距離とゲート長の関係を示す図。

【図10】 図9に示すように距離とゲート長の関係を決めたMOSFETにおける距離とオン電流の関係を示す特性図。

【図11】 図9に示すように距離とゲート長の関係を決めたMOSFETと従来例のMOSFETについて、スタンバイ電流を一定に保った場合のオン電流の大きさを対比して示す特性図。

【図12】 LSIに形成されたCMOSインバータの平面パターンの従来例を示す図。

【図13】 図12に示したCMOSインバータを構成する一方のMOSFETに着目してMOSFETの構造の一例を示す断面図。

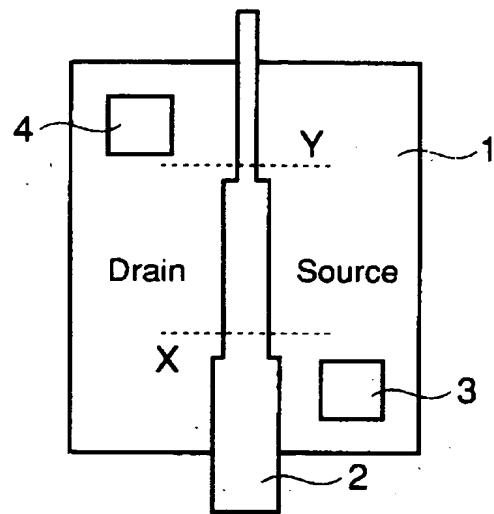
【図14】 図12に示したCMOSインバータのうちの一方のMOSFETを取り出してゲート電極の特定の位置を流れる電流経路を説明するために示す平面図。

【図15】 図14に示したMOSFETがソースコンタクトの位置を基準とするゲート電極の長さ方向における位置までの距離に応じて駆動力が劣化する様子を示す特性図。

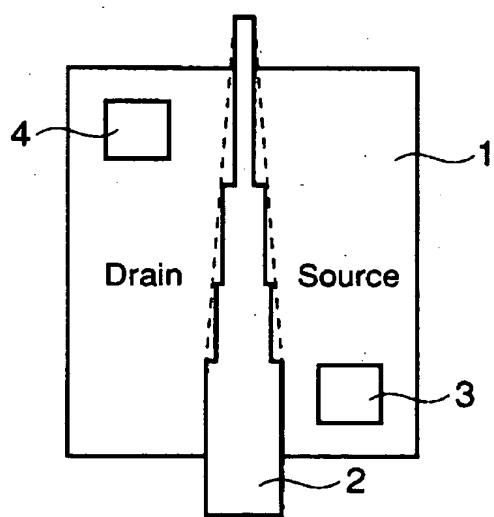
【符号の説明】

1 …MOSFETのアクティブ領域、2 …ゲート電極、3 …ソースコンタクト、4 …ドレインコンタクト。

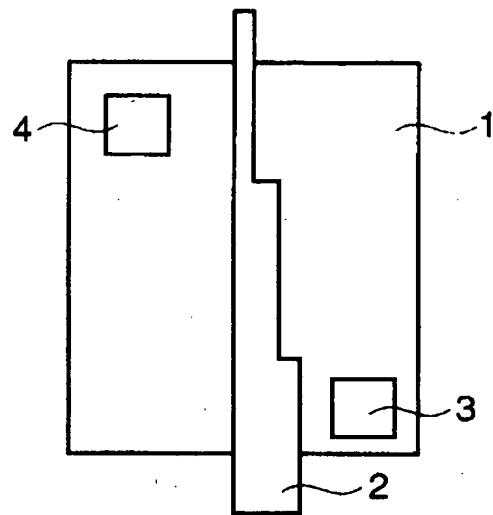
【書類名】 図面  
【図1】



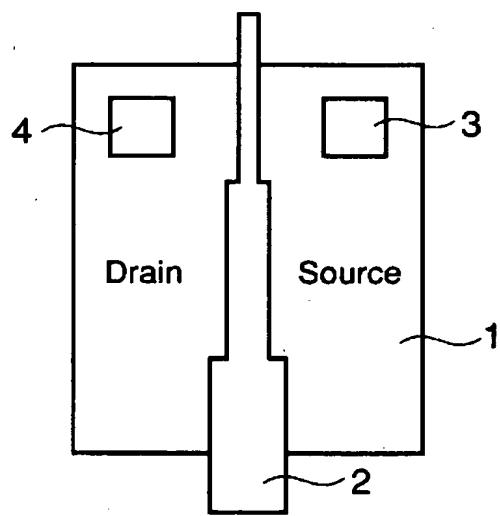
【図2】



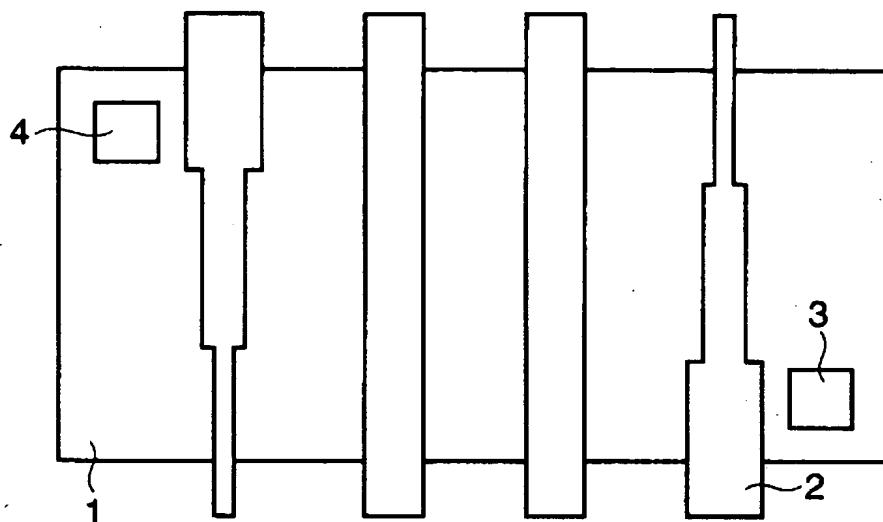
【図3】



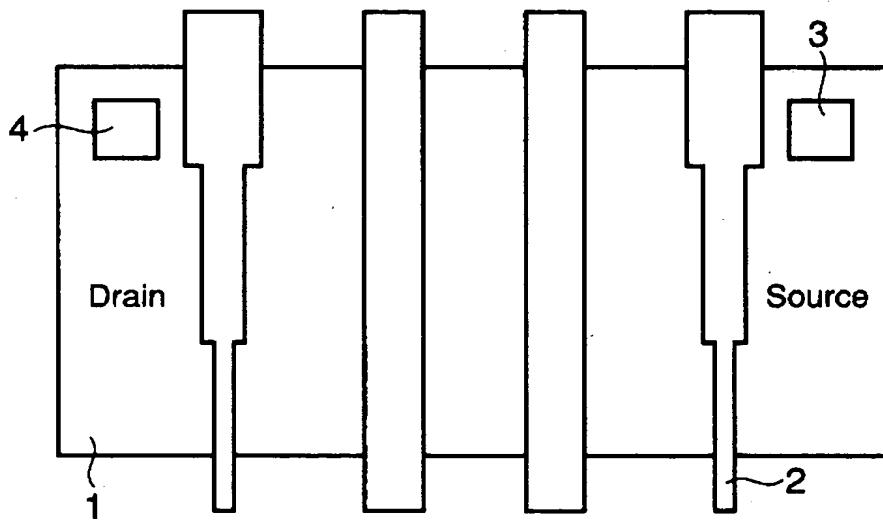
【図4】



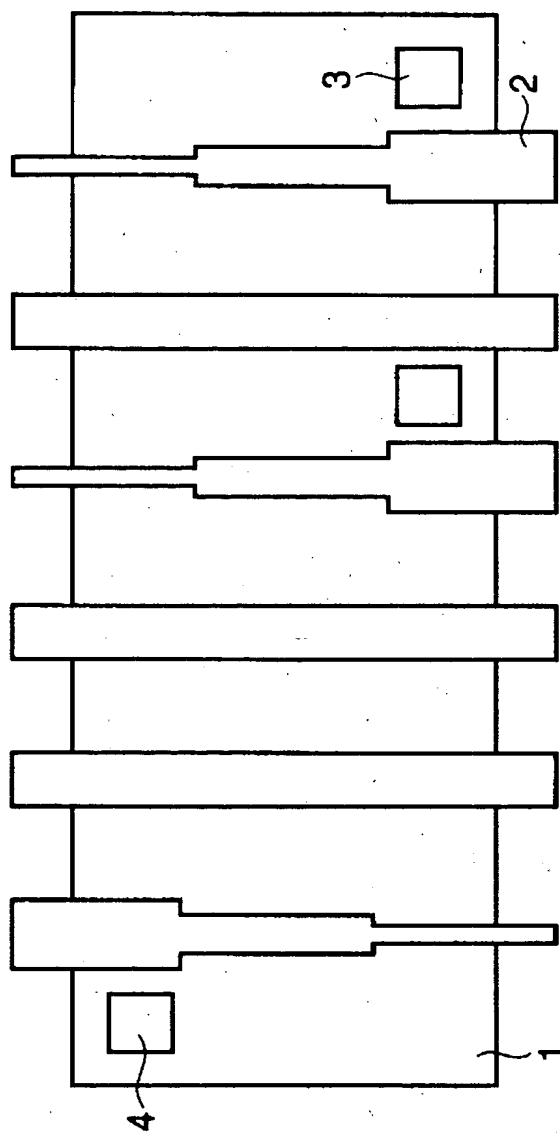
【図5】



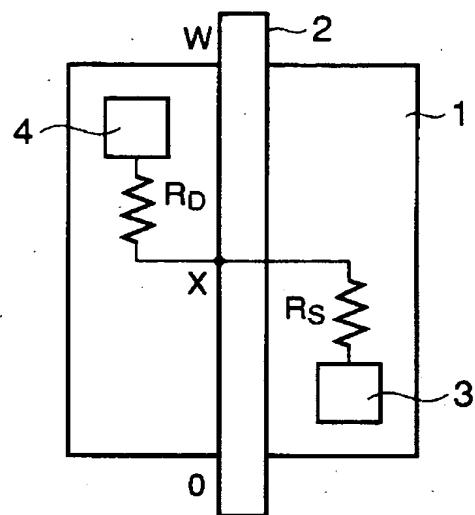
【図6】



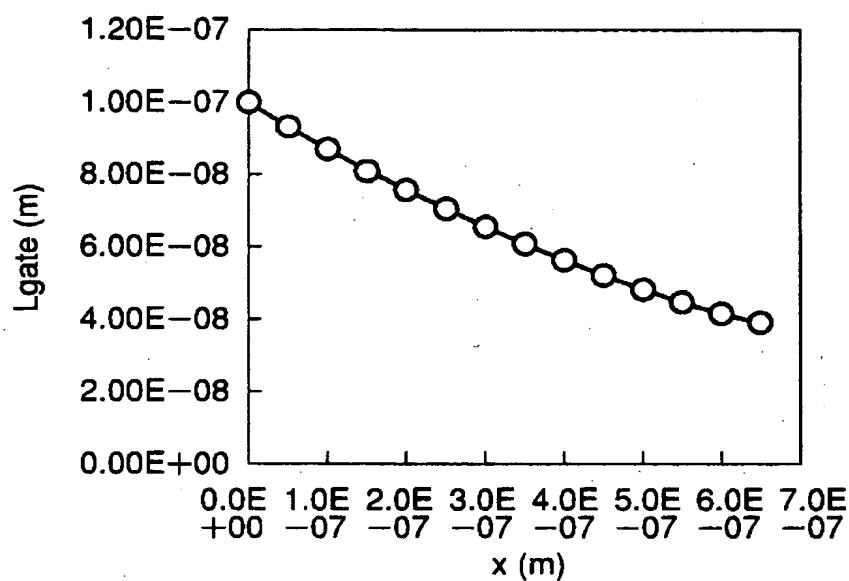
【図7】



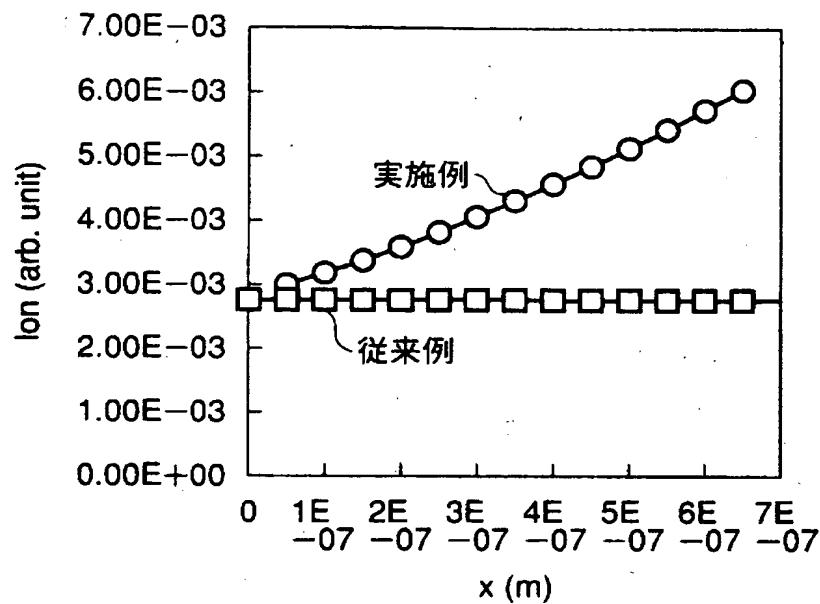
【図8】



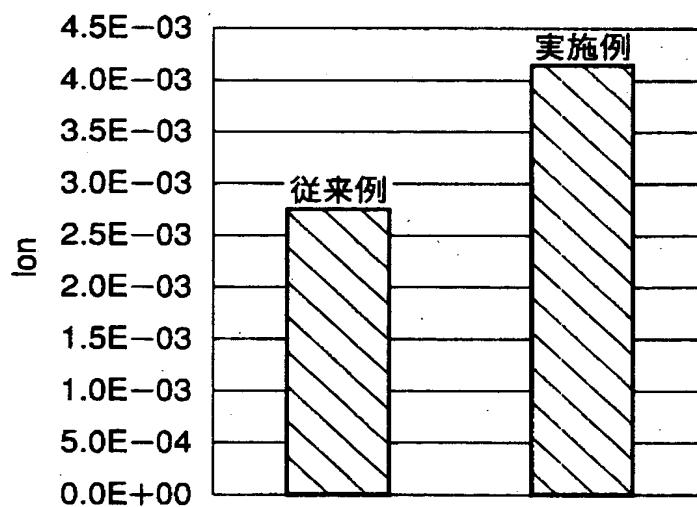
【図9】



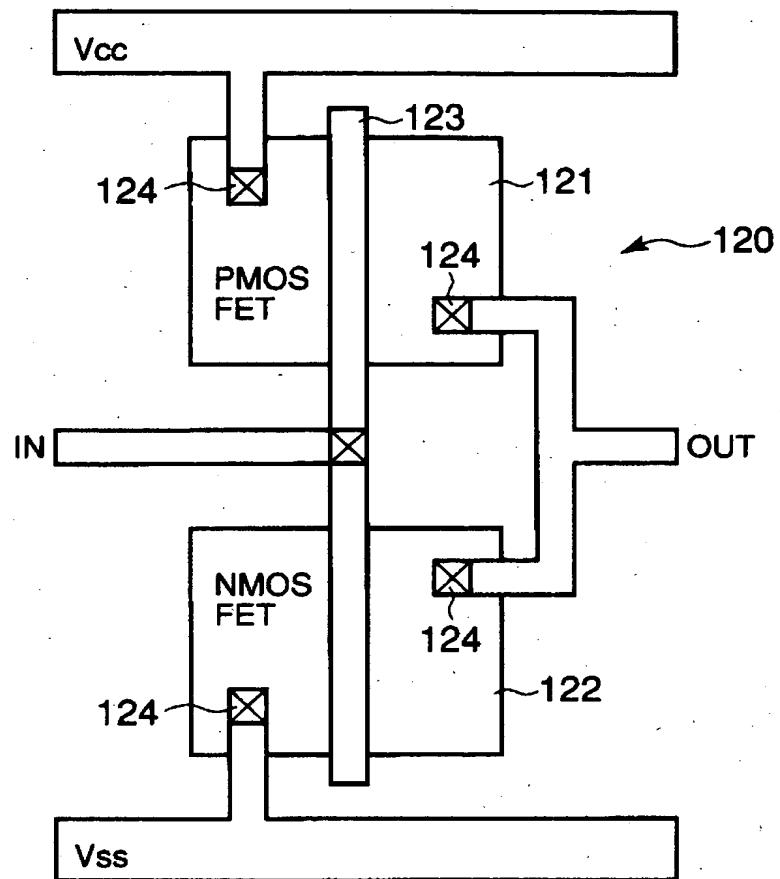
【図10】



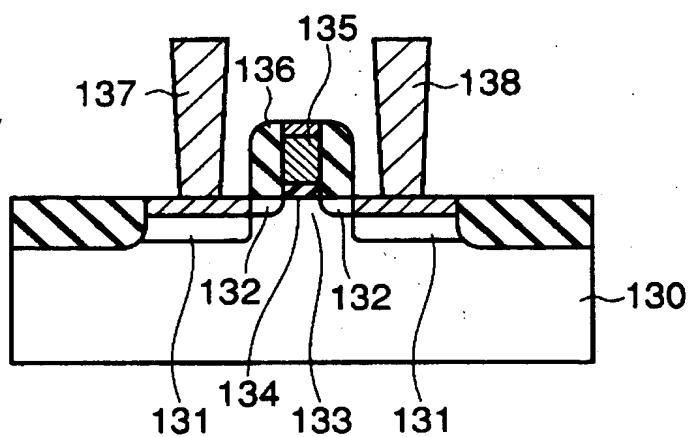
【図11】



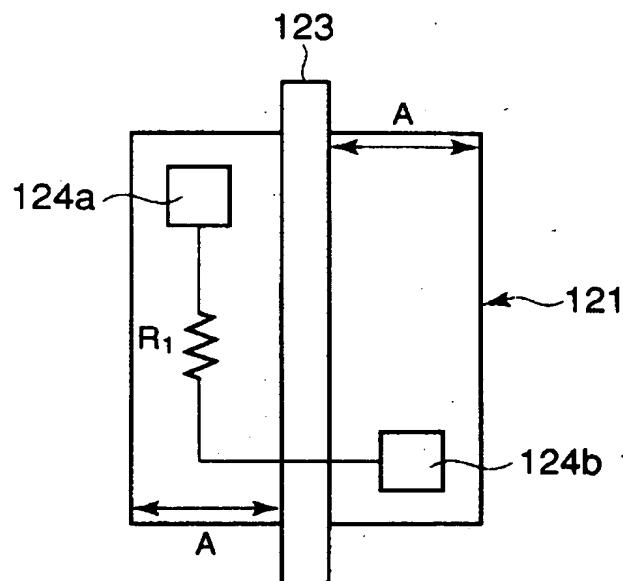
【図12】



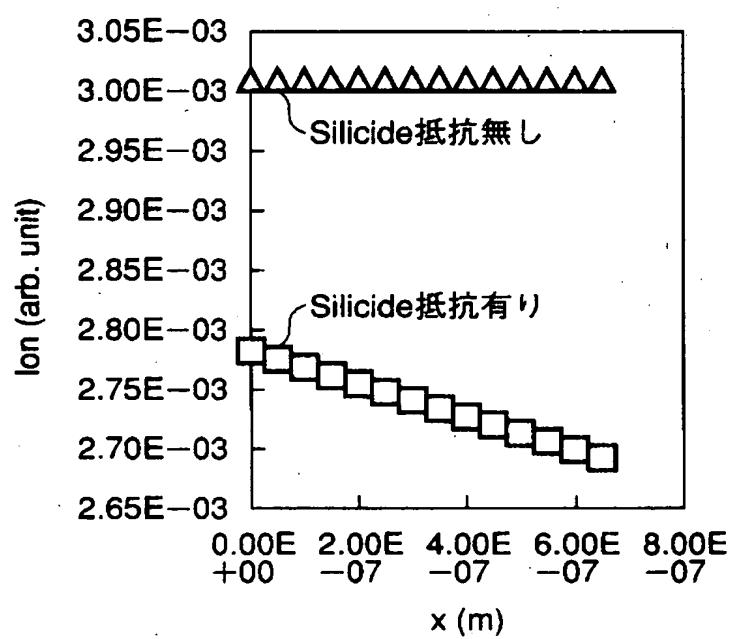
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 MOSFETのアクティブ領域のドレイン・ソース拡散層上のシリサイドの寄生抵抗に起因するMOSFETの駆動力の劣化を改善する。

【解決手段】 半導体基板上のMOSFETのアクティブ領域1と、アクティブ領域上を通過するように設けられた1本のゲート電極2と、ゲート電極の両側でアクティブ領域の表面にコンタクトするように形成されたソースコンタクト3およびドレインコンタクト4とを具備し、ゲート電極は、ソースコンタクトおよび／またはドレインコンタクトの位置からゲート電極に沿って離れるにつれてゲート長が細くなるように段階的もしくは連続的に形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2003年 5月 9日

[変更理由] 名称変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝